

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-268452

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.<sup>5</sup>H 0 3 F 1/00  
3/45

識別記号

庁内整理番号

F I

技術表示箇所

Z 7350-5 J

Z 7436-5 J

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21)出願番号 特願平5-55824

(22)出願日 平成5年(1993)3月16日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 月川 靖彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(72)発明者 中尾 浩之

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

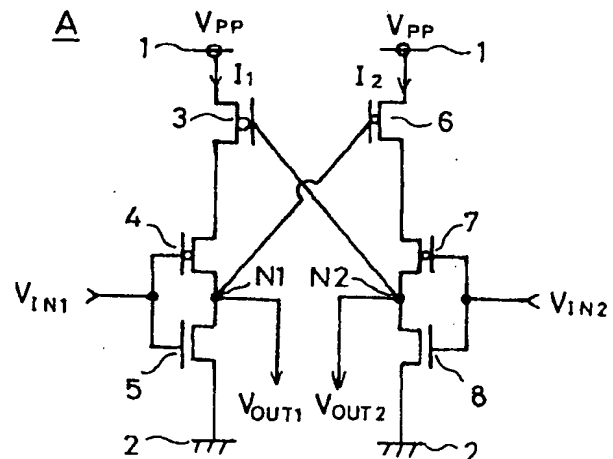
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 レベル変換回路

(57)【要約】

【目的】 入出力信号のレベル反転時に流れる貫通電流が極めて小さなレベル変換回路を提供する。

【構成】 端子1, 2間にPチャネルMOSトランジスタ3, 4およびNチャネルMOSトランジスタ5の直列体と、PチャネルMOSトランジスタ6, 7およびNチャネルMOSトランジスタ8の直列体とを並列に接続する。トランジスタ4, 5のゲートに入力信号 $V_{IN1}$ を入力し、トランジスタ7, 8のゲートに入力信号 $V_{IN2}$ を入力する。トランジスタ4, 5間のノードN1から出力信号 $V_{OUT1}$ を取出してトランジスタ6のゲートに入力し、トランジスタ7, 8間のノードN2から出力信号 $V_{OUT2}$ を取出してトランジスタ3のゲートに入力する。



## 【特許請求の範囲】

【請求項1】 第1の電位と、該第1の電位よりも高い第2の電位と、該第2の電位よりも高い第3の電位とを用いる半導体装置において、前記第1の電位と第2の電位との間でレベルが変化する入力信号を前記第1の電位と第3の電位との間でレベルが変化するようレベル変換するレベル変換回路であって、

それぞれが前記第3および第1の電位の間に直列接続される第1の導電形式の第1の電界効果トランジスタと、第1の導電形式の第2の電界効果トランジスタと、第2の導電形式の第3の電界効果トランジスタ、および前記第2の電界効果トランジスタと前記第3の電界効果トランジスタの接続点と、前記第1の電界効果トランジスタの制御電極との間に接続されるラッチ回路を備え、前記入力信号を前記第2および第3の電界効果トランジスタのそれぞれの制御電極に与え、前記ラッチ回路からレベル変換された信号を出力することを特徴とする、レベル変換回路。

【請求項2】 前記第1の電位は接地電位であり、前記第3の電位が前記半導体装置の内部で発生される電位であり、前記第1の電界効果トランジスタの第1の電極を前記第3の電位に接続し、第1の電界効果トランジスタの第2の電極を前記第2の電界効果トランジスタの第1の電極に接続し、第2の電界効果トランジスタの第2の電極と前記第3の電界効果トランジスタの第2の電極を接続し、第3の電界効果トランジスタの第1の電極を前記第1の電位に接続したことを特徴とする請求項1に記載のレベル変換回路。

【請求項3】 前記第1の電位が接地電位であり、前記第3の電位が前記半導体装置の内部で発生される電位であり、前記第1の電界効果トランジスタの第1の電極を前記第3の電位に接続し、第1の電界効果トランジスタの第2の電極を前記第2の電界効果トランジスタの第1の電極に接続し、第1の電界効果トランジスタの第2の電極と前記第3の電界効果トランジスタの第2の電極を接続し、制御信号に応じて第3の電界効果トランジスタの第1の電極に与える第1の電位を第2の電位に切換えるための論理回路を含むことを特徴とする請求項1に記載のレベル変換回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、レベル変換回路に関し、特に、第1の電位と、第1の電位よりも高い第2の電位と、第2の電位よりも高い第3の電位とを用いる半導体装置において、第1の電位と第2の電位との間でレベルが変化する入力信号を第1の電位と第3の電位との間でレベルが変化するようレベル変換するレベル変換回路に関する。

## 【0002】

【従来の技術】 図5は従来のレベル変換回路Cの電気回

路図である。このレベル変換回路Cは、接地電位GND（第1の電位）と電源電位 $V_{CC}$ （第2の電位； $V_{CC} > GND$ ）との間に接続され、内部で高電源電位 $V_{PP}$ （第3の電位； $V_{PP} > V_{CC}$ ）を発生する半導体装置内に設けられており、PチャネルMOSトランジスタ33のソースは高電位電源端子31に接続され、そのドレインはノードN31を介してNチャネルMOSトランジスタ34のドレインに接続され、NチャネルMOSトランジスタ34のソースは接地端子32に接続されている。また、PチャネルMOSトランジスタ35のソースは高電位電源端子31に接続され、PチャネルMOSトランジスタ35のドレインはノードN32を介してNチャネルMOSトランジスタ36のドレインに接続され、NチャネルMOSトランジスタ36のソースは接地端子32に接続されている。PチャネルMOSトランジスタ33のゲートはノードN32に接続され、PチャネルMOSトランジスタ35のゲートはノードN31に接続されている。

【0003】 接地電位GNDと電源電位 $V_{CC}$ との間でレベルが変化する第1の入力信号 $V_{IN1}$ がNチャネルMOSトランジスタ34のゲートに入力され、第1の入力信号 $V_{IN1}$ と相補な第2の入力信号 $V_{IN2}$ がNチャネルMOSトランジスタ36のゲートに入力され、接地電位GNDと高電源電位 $V_{PP}$ との間でレベルが変化する第1の出力信号 $V_{OUT1}$ がノードN31から出力され、第1の出力信号 $V_{OUT1}$ と相補な第2の出力信号 $V_{OUT2}$ がノードN32から出力される。

【0004】 図6は図5に示したレベル変換回路Cの動作を示すタイムチャートであり、図6(a)は第1の入力信号 $V_{IN1}$ を示し、図6(b)は第2の入力信号 $V_{IN2}$ を示し、図6(c)は第1の出力信号 $V_{OUT1}$ を示し、図6(d)は第2の出力信号 $V_{OUT2}$ を示し、図6(e)はトランジスタ33、34を流れる電流 $I_{31}$ を示し、図6(f)はトランジスタ35、36を流れる電流 $I_{32}$ を示している。

【0005】 図6を参照して、時刻 $t_0$ において第1の入力信号 $V_{IN1}$ は接地電位GND、第2の入力信号 $V_{IN2}$ は電源電位 $V_{CC}$ であるとする。第2の入力信号 $V_{IN2}$ が電源電位 $V_{CC}$ であるからNチャネルMOSトランジスタ36はオンしており、ノードN32は接地電位GNDになっている。したがって、第2の出力信号 $V_{OUT2}$ およびPチャネルMOSトランジスタ33のゲートは接地電位GNDであり、PチャネルMOSトランジスタ33はオンしている。一方、第1の入力信号 $V_{IN1}$ が接地電位GNDであるからNチャネルMOSトランジスタ34はオフしており、ノードN31は高電源電位 $V_{PP}$ になっている。したがって、第1の出力信号 $V_{OUT1}$ およびPチャネルMOSトランジスタ35のゲートは高電源電位 $V_{PP}$ であり、PチャネルMOSトランジスタ35はオフしている。

【0006】 次いで、時刻 $t_1$ において第1の入力信号

「VIN1 が電源電位VCC、第1の入力信号VIN2 が接地電位GNDに変化したとする。これにより、NチャネルMOSトランジスタ34がオン、NチャネルMOSトランジスタ36がオフし、ノードN31の電位すなわち第1の出力信号VOUT1が高電源電位Vppから接地電位GNDへ徐々に降下していき、PチャネルMOSトランジスタ35は時刻t2においてオンする。PチャネルMOSトランジスタ35がオンすると、ノードN32は高電源電位Vppとなる。したがって、第2の出力信号VOUT2およびPチャネルMOSトランジスタ33のゲートは高電源電位Vppとなり、PチャネルMOSトランジスタ33はオフする。PチャネルMOSトランジスタ33がオフすると、ノードN31は接地電位GNDとなり、第1の出力信号VOUT1は接地電位GNDとなる。

【0007】したがって、このレベル変換回路Cによれば、接地電位GNDと電源電位VCCとの間でレベルが変化する入力信号VIN1、VIN2を接地電位GNDと高電源電位Vppとの間でレベルが変化する出力信号VOUT1、VOUT2に変換することができる。

【0008】

【発明が解決しようとする課題】しかしながら、このレベル変換回路Cにあつては、出力信号VOUT1、VOUT2のレベルが変化する時刻t1から時刻t2までの間でPチャネルMOSトランジスタ33とNチャネルMOSトランジスタ34の両方がオンするため、図6(e)に示すように、その間PチャネルMOSトランジスタ33およびNチャネルMOSトランジスタ34を介して高電位電源端子31から接地端子32に大きな貫通電流が流れるという問題があった。その結果、高電位電源の電流供給能力以上の電流が流れ、高電源電位Vppの電位降下が生じていた。

【0009】それゆえに、この発明の主たる目的は、入出力信号のレベル反転時に流れる貫通電流が極めて小さなレベル変換回路を提供することである。

【0010】

【課題を解決するための手段】この発明は第1の電位と、該第1の電位よりも高い第2の電位と、該第2の電位よりも高い第3の電位とを用いる半導体装置において、前記第1の電位と第2の電位との間でレベルが変化する入力信号を前記第1の電位と第3の電位との間でレベルが変化するようレベル変換するレベル変換回路であつて、それぞれが前記第3および第1の電位の間に直列接続される第1の導電形式の第1の電界効果トランジスタと、第1の導電形式の第2の電界効果トランジスタと、第2の導電形式の第3の電界効果トランジスタと、および前記第2の電界効果トランジスタと前記第3の電界効果トランジスタの接続点と、前記第1の電界効果トランジスタの制御電極との間に接続されるラッチ回路を備え、前記入力信号を前記第2および第3の電界効果トランジスタのそれぞれの制御電極に与え、前記ラッチ回路

からレベル変換された信号を出力するように構成される。

【0011】また、前記第1の電位は接地電位であり、前記第3の電位が前記半導体装置の内部で発生される電位であり、前記第1の電界効果トランジスタの第1の電極を前記第3の電位に接続し、第1の電界効果トランジスタの第2の電極を前記第2の電界効果トランジスタの第1の電極に接続し、第2の電界効果トランジスタの第2の電極と前記第3の電界効果トランジスタの第2の電極を接続し、第3の電界効果トランジスタの第1の電極を前記第1の電位に接続してもよい。

【0012】また、前記第1の電位が接地電位であり、前記第3の電位が前記半導体装置の内部で発生される電位であり、前記第1の電界効果トランジスタの第1の電極を前記第3の電位に接続し、第1の電界効果トランジスタの第2の電極を前記第2の電界効果トランジスタの第1の電極に接続し、第2の電界効果トランジスタの第2の電極と前記第3の電界効果トランジスタの第2の電極を接続し、制御信号に応じて第3の電界効果トランジスタの第1の電極に与える第1の電位を第2の電位に切替えるための論理回路を含めてもよい。

【0013】

【作用】この発明にかかるレベル変換回路にあつては、第3の電位と第1の電位との間に第1の導電形式の第1および第2の電界効果トランジスタと第2の導電形式の第3の電界効果トランジスタとを接続し、第2および第3の電界効果トランジスタの制御電極に入力信号を入力する。したがって、入力信号のレベルが反転したときに導電形式の異なる第2および第3の電界効果トランジスタが同時にオンまたはオフする。よって、レベルの反転時に第3の電位と第1の電位の間に流れる貫通電流を極めて小さくすることができる。

【0014】また、第3の電位と第1の電位との間に第1、第2および第3の電界効果トランジスタのみを接続し、第1の電位を接地電位とし、第3の電位を半導体装置内において第2の電位から昇圧された電位とすれば、回路構成を簡単化することができる。また、この場合もレベルが反転するときに流れる貫通電流を極めて小さくすることができるので、第3の電位の電位降下が生ずることがない。

【0015】また、制御信号に応じて第3の電界効果トランジスタの第1の電極に与える第1の電位を第2の電位に切替えるための論理回路を含めれば、制御信号に応じて第3の電界効果トランジスタを常時オフにすることができ、制御信号によってレベル変換回路を非能動化させたり、能動化させたりすることができる。

【0016】

【実施例】図1はこの発明の一実施例によるレベル変換回路Aの電気回路図である。このレベル変換回路Aは、従来例と同様に接地電位GNDと電源電位VCC (VCC>

GND)の間に接続され、内部で高電源電位 $V_{PP}$  ( $V_{PP} > V_{CC}$ )を発生する半導体装置内に設けられており、PチャネルMOSトランジスタ3のソースは高電位電源端子1に接続され、PチャネルMOSトランジスタ3のドレインはPチャネルMOSトランジスタ4のソースに接続され、PチャネルMOSトランジスタ4のドレインはノードN1を介してNチャネルMOSトランジスタ5のドレインに接続され、NチャネルMOSトランジスタ5のソースは接地端子2に接続されている。

【0017】また、PチャネルMOSトランジスタ6のソースは高電位電源端子1に接続され、PチャネルMOSトランジスタ6のドレインはPチャネルMOSトランジスタ7のソースに接続され、PチャネルMOSトランジスタ7のドレインはノードN2を介してNチャネルMOSトランジスタ8のドレインに接続され、NチャネルMOSトランジスタ8のソースは接地電位端子2に接続されている。PチャネルMOSトランジスタ3のゲートはノードN2に接続され、PチャネルMOSトランジスタ6のゲートはノードN1に接続されている。

【0018】接地電位GNDと電源電位 $V_{CC}$ の間でレベルが変化する第1の入力信号 $V_{IN1}$ がPチャネルMOSトランジスタ4およびNチャネルMOSトランジスタ5のゲートに入力され、第1の入力信号 $V_{IN1}$ と相補な第2の入力信号 $V_{IN2}$ がPチャネルMOSトランジスタ7およびNチャネルMOSトランジスタ8のゲートに入力され、接地電位GNDと高電源電位 $V_{PP}$ の間でレベルが変化する第1の出力信号 $V_{OUT1}$ がノードN1から出力され、第1の出力信号 $V_{OUT1}$ と相補な第2の出力信号 $V_{OUT2}$ がノードN2から出力される。

【0019】つまり、PチャネルMOSトランジスタ6、7およびNチャネルMOSトランジスタ8はノードN1とPチャネルMOSトランジスタ3のゲートの間に接続されたラッチ回路となっており、PチャネルMOSトランジスタ3、4およびNチャネルMOSトランジスタ5はノードN2とPチャネルMOSトランジスタ6のゲートに接続されたラッチ回路となっている。図2は図1に示したレベル変換回路Aの動作を示すタイムチャートであり、図2(a)は第1の入力信号 $V_{IN1}$ を示し、図2(b)は第2の入力信号 $V_{IN2}$ を示し、図2(c)は第1の出力信号 $V_{OUT1}$ を示し、図2(d)は第2の出力信号 $V_{OUT2}$ を示し、図2(e)はトランジスタ3、4、5に流れる電流 $I_1$ を示し、図2(f)はトランジスタ6、7、8に流れる電流 $I_2$ を示している。

【0020】図2を参照して、時刻 $t_0$ において第1の入力信号 $V_{IN1}$ は接地電位GND、第2の入力信号 $V_{IN2}$ は電源電位 $V_{CC}$ であるとする。第2の入力信号 $V_{IN2}$ が電源電位 $V_{CC}$ であるからPチャネルMOSトランジスタ7がオフ、NチャネルMOSトランジスタ8がオンしており、ノードN2は接地電位GNDになっている。したがって、第2の出力信号 $V_{OUT2}$ およびPチャネ

ルMOSトランジスタ3のゲートは接地電位GNDであり、PチャネルMOSトランジスタ3はオンしている。

【0021】一方、第1の入力信号 $V_{IN1}$ が接地電位GNDであるからPチャネルMOSトランジスタ4がオン、NチャネルMOSトランジスタ5がオフしており、ノードN1は高電源電位 $V_{PP}$ になっている。したがって、第1の出力信号 $V_{OUT1}$ およびPチャネルMOSトランジスタ6のゲートは高電源電位 $V_{PP}$ であり、PチャネルMOSトランジスタ6はオフしている。

【0022】次いで、時刻 $t_1$ において第1の入力信号 $V_{IN1}$ が電源電位 $V_{CC}$ に、第2の入力信号 $V_{IN2}$ が接地電位GNDに変化したとする。第1の入力信号 $V_{IN1}$ が電源電位 $V_{CC}$ になると、NチャネルMOSトランジスタ5がオンすると同時にPチャネルMOSトランジスタ4がオフし、ノードN1の電位が急峻に低下して接地電位GNDとなる。また、同時に第1の出力信号 $V_{OUT1}$ およびPチャネルMOSトランジスタ6のゲートが接地電位GNDとなり、PチャネルMOSトランジスタ6はオンする。また、第2の入力信号 $V_{IN2}$ が接地電位GNDになると、PチャネルMOSトランジスタ7がオンすると同時にNチャネルMOSトランジスタ8がオフし、ノードN2の電位が急峻に上昇して高電源電位 $V_{PP}$ となる。また、同時に第2の出力信号 $V_{OUT2}$ およびPチャネルMOSトランジスタ3のゲートが高電源電位 $V_{PP}$ となり、PチャネルMOSトランジスタ3がオフする。

【0023】この実施例においては、第1の入力信号 $V_{IN1}$ が反転した瞬間にPチャネルMOSトランジスタ4およびNチャネルMOSトランジスタ5が同時にオンまたはオフし、第2の入力信号 $V_{IN2}$ が反転した瞬間にPチャネルMOSトランジスタ7およびNチャネルMOSトランジスタ8が同時にオンまたはオフする。したがって、入力信号 $V_{IN1}$ 、 $V_{IN2}$ が反転する際に高電位電源端子1から接地端子2に大きな貫通電流が流れることはない。

【0024】なお、この実施例では、接地電位GND、電源電位 $V_{CC}$ および高電源電位 $V_{PP}$ を用い、高電源電位 $V_{PP}$ と接地電位GNDの間にPチャネルMOSトランジスタ3、4およびNチャネルMOSトランジスタ5を順に接続したが、これに限るものではなく、接地電位GND、電源電位 $-V_{CC}$ および低電源電位 $-V_{PP}$ を用い、低電源電位 $-V_{PP}$ と接地電位GNDの間に2つのNチャネルMOSトランジスタおよびPチャネルMOSトランジスタを順に接続してもよい。

【0025】図3はこの発明の他の実施例によるレベル変換回路Bの電気回路図である。このレベル変換回路Bにあつては、PチャネルMOSトランジスタ9のソースは高電位電源端子1に接続されており、PチャネルMOSトランジスタ9のドレインはPチャネルMOSトランジスタ10のソースに接続され、PチャネルMOSトランジスタ10のドレインはノードN4を介してNチャネ

ルMOSトランジスタ11のドレインに接続され、NチャネルMOSトランジスタ11のソースはノードN3を介してインバータ12の出力ノードに接続されている。またPチャネルMOSトランジスタ13のソースは高電位電源端子1に接続されており、PチャネルMOSトランジスタ13のドレインはノードN5を介してNチャネルMOSトランジスタ14のドレインに接続され、NチャネルMOSトランジスタ14のソースは接地端子2に接続されている。PチャネルMOSトランジスタ13およびNチャネルMOSトランジスタ14のゲートはノードN4に接続され、PチャネルMOSトランジスタ9のゲートはノードN5に接続される。

【0026】接地電位GNDと電源電位 $V_{CC}$ の間でレベルが変化する制御信号 $V_S$ がインバータ12の入力ノードに入力され、接地電位GNDと電源電位 $V_{CC}$ の間でレベルが変化する入力信号 $V_{IN}$ がPチャネルMOSトランジスタ10およびNチャネルMOSトランジスタ11のゲートに入力され、接地電位GNDと高電源電位 $V_{PP}$ の間でレベルが変化する出力信号 $V_{OUT}$ がノードN5から出力される。

【0027】つまり、PチャネルMOSトランジスタ13およびNチャネルMOSトランジスタ14はノードN4とPチャネルMOSトランジスタ9のゲートの間に接続されるラッチ回路となっている。

【0028】図4は図3のレベル変換回路Bの動作を示すタイムチャートであり、図4(a)は制御信号 $V_S$ を示し、図4(b)はノードN3の電位 $V_{N3}$ を示し、図4(c)は入力信号 $V_{IN}$ を示し、図4(d)はノードN4の電位 $V_{N4}$ を示し、図4(e)は出力信号 $V_{OUT}$ を示し、図4(f)はトランジスタ9、10、11に流れる電流 $I_3$ を示している。

【0029】図4を参照して、初期状態において制御信号 $V_S$ および入力信号 $V_{IN}$ は接地電位GNDであり、ノードN4の電位 $V_{N4}$ は履歴により高電源電位 $V_{PP}$ であるものとする。このとき、制御信号 $V_S$ が接地電位GNDであるからノードN3の電位 $V_{N3}$ は電源電位 $V_{CC}$ になっており、入力信号 $V_{IN}$ が接地電位GNDであるからPチャネルMOSトランジスタ10がオンし、NチャネルMOSトランジスタ11がオフしている。また、ノードN4が高電源電位 $V_{PP}$ であるからPチャネルMOSトランジスタ13がオフ、NチャネルMOSトランジスタ14がオンし、ノードN5が接地電位GNDになっている。したがって、出力信号 $V_{OUT}$ が接地電位GNDであり、PチャネルMOSトランジスタ10がオンしている。この状態においては、入力信号 $V_{IN}$ を反転させてもNチャネルMOSトランジスタ11のゲートの電位がソースの電位(すなわち電源電位 $V_{CC}$ )より高くなることなく、また、PチャネルMOSトランジスタ11のゲートの電位がソースの電位(すなわち高電源電位 $V_{PP}$ )より高くなることはない。したがって、入力信号 $V_{IN}$ のレベル

に関係なくPチャネルMOSトランジスタ10は常にオン、NチャネルMOSトランジスタ11は常にオフし、出力信号 $V_{OUT}$ は常に接地電位GNDになっている。

【0030】次いで、時刻 $t_0$ において制御信号 $V_S$ を接地電位GNDから電源電位 $V_{CC}$ に切換えると、ノードN3の電位 $V_{N3}$ が電源電位 $V_{CC}$ から接地電位GNDに切換わり、回路Bが能動化する。すなわち、続く時刻 $t_1$ において入力信号 $V_{IN}$ が接地電位GNDから電源電位 $V_{CC}$ に反転すると、NチャネルMOSトランジスタ11がオンすると同時にPチャネルMOSトランジスタ10がオフし、ノードN4の電位 $V_{N4}$ が急峻に降下して接地電位GNDになる。また、同時にPチャネルMOSトランジスタ13がオン、NチャネルMOSトランジスタ14がオフし、ノードN5の電位すなわち出力信号 $V_{OUT}$ が急峻に上昇して高電源電位 $V_{PP}$ になるとともにPチャネルMOSトランジスタ9がオフする。

【0031】この実施例においては、入力信号 $V_{IN}$ をPチャネルMOSトランジスタ10およびNチャネルMOSトランジスタ11のゲートに入力しているため、入力信号 $V_{IN}$ が反転した瞬間にPチャネルMOSトランジスタ10およびNチャネルMOSトランジスタ11が同時にオンまたはオフする。したがって、入力信号 $V_{IN}$ が反転する際に高電源電位 $V_{PP}$ から接地電位GNDに大きな貫通電流が流れることはない。

【0032】なお、この実施例では、制御信号 $V_S$ に応じてノードN3の電位 $V_{N3}$ を切換えるための論理回路としてインバータ12を用いたが、これに限るものではなく、NOR回路やNAND回路を用いてもよい。

【0033】

【発明の効果】以上のように、この発明によれば、入力信号のレベルが反転したときに第1の電位と第2の電位の間に直列接続された導電形式の異なる第2および第3の電界効果トランジスタが同時にオンまたはオフするので、レベルの反転時において第3の電位と第1の電位の間に大きな貫通電流が流れることがない。

【0034】また、第3の電位と第1の電位との間に第1、第2および第3の電界効果トランジスタのみを接続し、第1の電位を接地電位、第3の電位を半導体装置内において第2の電位から昇圧された電源電位とすれば、回路構成を簡単化することができる。また、この場合もレベルが反転するときに流れる貫通電流を極めて小さくすることができるので、第3の電位の電位降下が生ずることがない。

【0035】また、制御信号に応じて第3の電界効果トランジスタの第1の電極に与える第1の電位を第2の電位に切換えるための論理回路を含めれば、制御信号に応じて第3の電界効果トランジスタを常時オフすることができ、制御信号によって回路を非能動化させたり、能動化させたりすることができる。

【図面の簡単な説明】

【図1】この発明の一実施例によるレベル変換回路の電気回路図である。

【図2】図1に示したレベル変換回路の動作を示すタイムチャートである。

【図3】この発明の他の実施例によるレベル変換回路の電気回路図である。

【図4】図3に示したレベル変換回路の動作を示すタイムチャートである。

【図5】従来のレベル変換回路の電気回路図である。

【図6】図5に示したレベル変換回路の動作を示すタイムチャートである。

【符号の説明】

3, 6, 9 PチャネルMOSトランジスタ (第1の電界効果トランジスタ)

4, 7, 10 PチャネルMOSトランジスタ (第2の電界効果トランジスタ)

5, 8, 11 NチャネルMOSトランジスタ (第3の電界効果トランジスタ)

12 インバータ (論理回路)

$V_{IN}$ ,  $V_{IN1}$ ,  $V_{IN2}$  入力信号

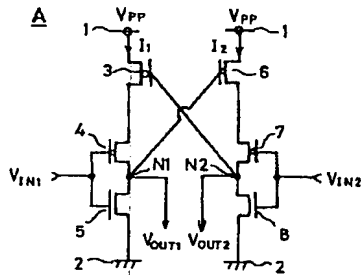
$V_{OUT}$ ,  $V_{OUT1}$ ,  $V_{OUT2}$  出力信号

GND 接地電位 (第1の電位)

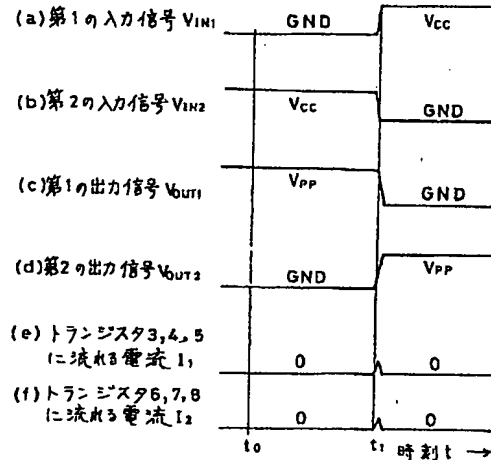
$V_{CC}$  電源電位 (第2の電位)

$V_{PP}$  高電源電位 (第3の電位)

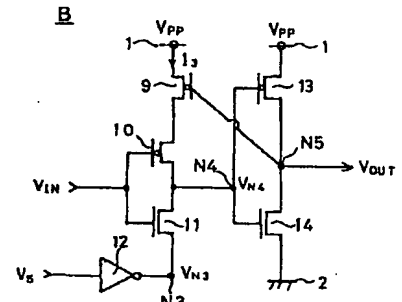
【図1】



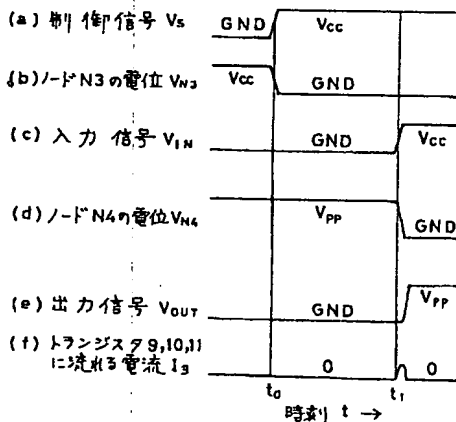
【図2】



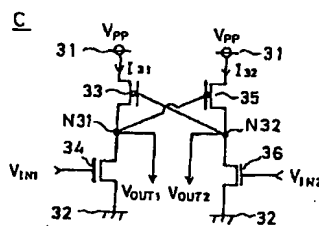
【図3】



【図4】



【図5】



【図6】

